

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204719

(43)Date of publication of application : 30.07.1999

---

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

---

(21)Application number : 10-002484

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.01.1998

(72)Inventor : HOSOMI HIDEKAZU

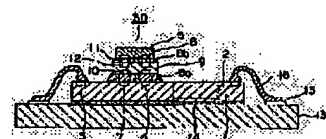
---

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device whose memory capacity can easily be increased, or to which a logic function can easily be added and whose flexibility on design is high.

**SOLUTION:** A second semiconductor chip 5 into which a circuit for extending the function of a semiconductor chip 1 is incorporated is loaded on the first semiconductor chip 1 fixed on the upper face of a mounted board 13 through an insertion board 9 having an inner layer wiring and they are fixed by resins 8a and 8b. The inner electrode pad 6 of the second semiconductor chip 5 is connected to an inner electrode pad 12 of the insertion board 9 through a bump 11. An inner electrode pad 10 of the insertion board 9 is connected to the inner electrode pad 4 of the first semiconductor chip 1 through a bump 7. The outer electrode 3 of the first semiconductor chip 1 is connected to a board wiring 15 of the mounted board 13 through a wire 16.



---

## LEGAL STATUS

[Date of request for examination] 06.09.2001

[Date of sending the examiner's decision of rejection] 06.01.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The 1st semiconductor chip and the 2nd semiconductor chip with an occupancy area smaller than said 1st semiconductor chip, It has inner layer wiring for making the property of said 2nd semiconductor chip adjust the property of said 1st semiconductor chip. It has the infixation substrate infixed between said 1st semiconductor chip and said 2nd semiconductor chip. Said 1st semiconductor chip It has two or more 1st internal electrode pads for connecting with said inner layer wiring of two or more external electrode pads for connecting with an external circuit, and said infixation substrate. Said 2nd semiconductor chip It has two or more 2nd internal electrode pads for connecting with said inner layer wiring of said infixation substrate. Said infixation substrate The semiconductor device to which the 3rd internal electrode pad formed in the inferior surface of tongue corresponding to said 1st internal electrode pad and said 1st internal electrode pad were connected to, and the 4th internal electrode pad formed in the top face corresponding to said 2nd internal electrode pad and said 2nd internal electrode pad were connected.

[Claim 2] While supporting said 1st semiconductor chip on the top face, it has further the mounting substrate which equipped the top face with metal wiring. Said external electrode pad It is the semiconductor device according to claim 1 which it is prepared in the periphery of the top face of said 1st semiconductor chip, and said 1st internal electrode pad is prepared in the top face of said 1st semiconductor chip except said periphery, and is characterized by connecting said metal wiring with said external electrode pad through a wire.

[Claim 3] Opening is formed in the center of abbreviation and it has further the flexible film which equipped the top face with metal wiring with which a tip extends in this opening. Said external electrode pad It is prepared in the periphery of the top face of said 1st semiconductor chip. Said 1st internal electrode pad It is prepared in the top face of said 1st semiconductor chip except said periphery. Said 1st semiconductor chip It is inserted into said opening with said infixation substrate and said 2nd semiconductor chip. Said external electrode pad The semiconductor device according to claim 1 characterized by carrying out the closure of said the 1st semiconductor chip, said infixation substrate, and said 2nd semiconductor chip with the resin which was connected with said metal wiring and enclosed in said opening.

[Claim 4] Said external electrode pad is prepared in the periphery of the inferior surface of tongue of said 1st semiconductor chip. Said 1st internal electrode pad It is prepared in the inferior surface of tongue of said 1st semiconductor chip except said periphery. Said infixation substrate The 3rd internal electrode pad formed in the top face corresponding to said 1st internal electrode pad and said 1st internal electrode pad are connected. While the 4th internal electrode pad formed in the inferior surface of tongue corresponding to said 2nd internal electrode pad and said 2nd internal electrode pad are connected and supporting said 1st semiconductor chip on the top face It has further the mounting substrate with which opening for storing said infixation substrate and said 2nd semiconductor chip was drilled. Said mounting substrate The semiconductor device according to claim 1 characterized by carrying out the closure with the resin which the top face was equipped with the substrate electrode prepared corresponding to said external electrode pad, and said substrate electrode and said external

electrode pad were connected, and was enclosed from between said mounting substrate and said 1st semiconductor chip.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which can realize memory space, or an addition and escape of an additional function, without starting a semiconductor device and being especially accompanied by the design change of a semiconductor integrated circuit.

[0002]

[Description of the Prior Art] The more and more improvement in the degree of integration of a semiconductor device is enabling it to carry two or more functions in a single semiconductor chip. Thereby, the memory circuit for a program or data storage and the logical circuit for control / operation are carried on a single chip. For example, in ASIC (Application Specific Integrated Circuit) which performs the circuit design according to a microcontroller or a user specification, ROM for program storing, RAM for data storage, and the logic section that performs control and an operation are formed on the single semiconductor chip.

[0003] Moreover, by the advance of a semi-conductor manufacturing technology, since many transistors can be formed now on the same area, the increment of the gate number of memory and a logical circuit is being enhanced.

[0004] However, though the degree of integration of a semiconductor device is progressing by rapid progress in this way, at the predetermined time, the function which can be carried in the semiconductor chip of predetermined magnitude is fixed.

[0005] For example, the circuit which balances this when memory space required after the area of the semiconductor chip which carries this, so that capacity becomes large about memory becomes large, for example, a design is completed by modification of a user specification doubles must be redesigned from the beginning. Moreover, the function of the logic section has the case where he wants to prepare the semiconductor chip which has the memory of capacity which is different even when it is the same, from the diverseness of user needs. In order to cope with this, it will be necessary to manufacture two or more chips with which memory space differs, and the cost of form management will go up to a manufacturer side.

[0006] Moreover, about a logic component, by whether a specific function is added, the manufacturing costs of a semiconductor device may differ greatly and may branch to quality articles and low-priced goods. Also in this case, there is a method of offering the quality articles of deed 1 chip again about the approach of adding another chip to low-priced goods, and considering as 2 chip configurations, and the design of a chip to add a specific function later. According to the former approach, an area required for substrate mounting became large, and there was a trouble that a manufacturing cost increased sharply, according to the latter approach.

[0007] the chip which already carries the semiconductor chip incorporating additional memory and an additional specific function on a certain semiconductor chip in order to solve such a problem — the approach on chip is devised.

[0008] the chip by the Prior art — it explains, referring to a drawing about a semiconductor device on chip.

[0009] Drawing 10 is the sketch sectional view showing the semiconductor device 100 which is the 1st example of such a Prior art.

[0010] In this drawing, a semiconductor chip 1 is a semiconductor chip which realized the semiconductor integrated circuit which the design already completed, and the memory circuit 2 of the capacity of 1Mbit is included in the interior of the part shown by the dotted line. It connects with an external substrate etc. and the external electrode pad 3 which outputs and inputs a signal is formed in the periphery of the top face of a semiconductor chip 1. An internal electrode 4 serves as a pair, it is formed in the center of abbreviation of the top face of a semiconductor chip 1, and internal wiring of the semiconductor chip 1 which is not illustrated connects with the memory circuit 2.

[0011] On the semiconductor chip 1, the memory chip 5 which has the capacity of 1Mbit is carried, and it has fixed on the top face of a semiconductor chip with resin 8.

[0012] The internal electrode pad 6 is formed in the inferior surface of tongue of a memory chip 5 corresponding to the internal electrode 4 of a semiconductor chip 1, and is connected to it through the bump 7.

[0013] The top view of the semiconductor device 100 shown in drawing 10 is shown in drawing 11 .

[0014] As shown in this drawing, many external electrode pads 3 are formed in the periphery of a semiconductor chip 1 which has a rectangular flat-surface configuration at the predetermined spacing. The memory circuit 2 of the capacity of 1Mbit is included in the interior of the chip under the part shown by the dotted line a little at the upper right of [ \*\*\*\* ] the center of a semiconductor chip 1. The memory chip 5 which approaches the field incorporating this memory circuit and has a rectangular flat-surface configuration on the left-hand side of that field was carried, and it has fixed on the top face of a semiconductor chip 1 with resin 8.

[0015] There was a merit that the memory of the capacity of 1Mbit could be extended without increasing the component-side product of a semiconductor device, since according to the semiconductor device 100 shown in drawing 10 and drawing 11 the memory chip 5 was carried on the semiconductor chip 1 and the memory circuit in this memory chip 5 was connected to the memory circuit 2 in a semiconductor chip 1.

[0016]

[Problem(s) to be Solved by the Invention] However, in the above-mentioned Prior art, in order to have to make the pitch of the internal electrode pad 6 of a memory chip 5 in agreement with the pitch of the internal electrode pad 4 of a semiconductor chip 1, this point had become the constraint on a design. In order to make different various properties only not only in the pitch of an electrode pad agree in order to carry in an especially different manufacturer's semiconductor chip, and to be accompanied by the difficulty on a design, there was a trouble that the flexibility of a design — the cost of a memory chip goes up on the contrary — was missing.

[0017] This invention is made in view of the above-mentioned situation, the increment in memory space or the addition of a logic function can do the purpose easily in the semiconductor device with which the memory circuit and the logical circuit are loaded together, and it is in offering the high semiconductor device of the flexibility of a design.

[0018]

[Means for Solving the Problem] This invention aims at solution of the above-mentioned technical problem with the following means.

[0019] According to this invention (claim 1), namely, the 1st semiconductor chip and the 2nd semiconductor chip with an occupancy area smaller than the 1st semiconductor chip of the above, It has inner layer wiring for making the property of the 2nd semiconductor chip of the above adjust the

property of the 1st semiconductor chip of the above. It has the infixation substrate infixed between the 1st semiconductor chip of the above, and the 2nd semiconductor chip of the above. The 1st semiconductor chip of the above It has two or more 1st internal electrode pads for connecting with the above-mentioned inner layer wiring of two or more external electrode pads for connecting with an external circuit, and the above-mentioned infixation substrate. The 2nd semiconductor chip of the above It has two or more 2nd internal electrode pads for connecting with the above-mentioned inner layer wiring of the above-mentioned infixation substrate. The above-mentioned infixation substrate The 3rd internal electrode pad and the internal electrode pad of the above 1st which were formed in the inferior surface of tongue corresponding to the internal electrode pad of the above 1st are connected. The semiconductor device to which the 4th internal electrode pad and the internal electrode pad of the above 2nd which were formed in the top face corresponding to the internal electrode pad of the above 2nd were connected is offered.

[0020] The above-mentioned semiconductor device is further equipped with the mounting substrate which equipped the top face with metal wiring while supporting the 1st semiconductor chip of the above on the top face, the above-mentioned external electrode pad is prepared in the periphery of the top face of the 1st semiconductor chip of the above, the internal electrode pad of the above 1st is prepared in the top face of the 1st semiconductor chip of the above except the above-mentioned periphery, and the above-mentioned metal wiring is good to be connected with the above-mentioned external electrode pad through the wire.

[0021] Opening is formed in the center of abbreviation and the above-mentioned semiconductor device is further equipped with the flexible film which equipped the top face with metal wiring with which a tip extends in this opening. Moreover, the above-mentioned external electrode pad It is prepared in the periphery of the top face of the 1st semiconductor chip of the above. The internal electrode pad of the above 1st It is prepared in the top face of the 1st semiconductor chip of the above except the above-mentioned periphery. The 1st semiconductor chip of the above It could be inserted into the above-mentioned opening with the above-mentioned infixation substrate and the 2nd semiconductor chip of the above, the above-mentioned external electrode pad could be connected with the above-mentioned metal wiring, and the closure of the 1st semiconductor chip of the above, the above-mentioned infixation substrate, and the 2nd semiconductor chip of the above could be carried out with the resin enclosed in the above-mentioned opening.

[0022] The above-mentioned external electrode pad is prepared in the periphery of the inferior surface of tongue of the 1st semiconductor chip of the above. Moreover, the internal electrode pad of the above 1st It is prepared in the inferior surface of tongue of the 1st semiconductor chip of the above except the above-mentioned periphery. The above-mentioned infixation substrate The 3rd internal electrode pad and the internal electrode pad of the above 1st which were formed in the top face corresponding to the internal electrode pad of the above 1st are connected. While the 4th internal electrode pad and the internal electrode pad of the above 2nd which were formed in the inferior surface of tongue corresponding to the internal electrode pad of the above 2nd are connected and supporting the 1st semiconductor chip of the above on the top face It has further the mounting substrate with which opening for storing the above-mentioned infixation substrate and the 2nd semiconductor chip of the above was drilled. The above-mentioned mounting substrate The top face could be equipped with the substrate electrode prepared corresponding to the above-mentioned external electrode pad, this substrate electrode and the above-mentioned external electrode pad could be connected, and the closure could be carried out with the resin enclosed from between the above-mentioned mounting substrate and the 1st semiconductor chip of the above.

[0023]

[Embodiment of the Invention] The focus of this invention is in the point connected through the infixation substrate equipped with inner layer wiring for adjusting a mutual property for the semiconductor chip of Maine, and the subchip for adding and extending the function of this Maine chip.

[0024] Hereafter, it explains, referring to a drawing about some of gestalten of operation of this

invention. In addition, in each following drawing, the same reference number is given to the same part, and the explanation is omitted.

[0025] Drawing 3 is the sketch sectional view showing the gestalt of operation of the 1st of the semiconductor device concerning this invention.

[0026] As shown in this drawing, the semiconductor device 20 concerning this operation gestalt is equipped with the characteristic infixation substrate 9 in the semiconductor chip 1 which is the 1st semiconductor chip incorporating a memory circuit 2, the memory chip 5 which is the 2nd semiconductor chip for extending the memory of this semiconductor chip 1, and this invention.

[0027] The memory circuit 2 is included in the semiconductor chip 1, and the memory space is 1Mbit in this operation gestalt. The surface section a little on the left-hand side of [ \*\*\*\* ] the center of a top face of a semiconductor chip 1 is equipped with two or more internal electrode pads 4, and it connects with the above-mentioned memory circuit 2 through internal wiring which is not illustrated.

[0028] The periphery of the front face of a semiconductor chip 1 is equipped with the external electrode pad 3 for connecting with an external mounting substrate etc., and transmission and reception of an external circuit and a signal are performed through this external electrode pad 3.

[0029] On the internal electrode pad 4, the solder bump 7 is formed corresponding to this.

[0030] On the semiconductor chip 1, the infixation substrate 9 which equipped the inferior surface of tongue with the internal electrode pad 10 formed corresponding to the above-mentioned internal electrode pad 4 and an above-mentioned bump 7 is carried. Resin 8a is enclosed between the infixation substrate 9 and the semiconductor chip 1. Resin 8a has the role which eases the stress produced according to the difference of the coefficient of thermal expansion of the infixation substrate 9 and a semiconductor chip 1, and prevents a bump's 7 fatigue breaking. However, when an infixation substrate is thin (for example, when it is 0.1mm or less), since the stress to produce becomes small, it is not necessary to enclose resin 8a between the infixation substrate 9 and a semiconductor chip 1. Although there is especially no limit in the quality of the material of an infixation substrate, polyimide is used with this operation gestalt.

[0031] The internal electrode pad 10 of the infixation substrate 9 is connected to inner layer wiring which is not illustrated. Moreover, this inner layer wiring is connected also to the internal electrode pad 12 with which the top face of the infixation substrate 9 was equipped. This internal electrode pad 12 is formed corresponding to the internal electrode pad 6 of degree memory chip 5 which carries out an account.

[0032] The memory chip 5 was carried on the infixation substrate 9, and it has fixed on the top face of the infixation substrate 9 by resin 8b.

[0033] Two or more internal electrodes 6 are formed in the inferior surface of tongue of a memory chip 5, and it is formed in it at intervals of a different pitch from the internal electrode 4 of the above-mentioned semiconductor chip 1.

[0034] Thus, by according to this operation gestalt, carrying the memory chip 5 which has the memory space of 1Mbit on the semiconductor chip 1 which has the memory space of 1Mbit, and connecting a mutual internal electrode. Since the memory circuit of a memory chip 5 is connectable with the memory circuit 2 of a semiconductor chip 1, Since it not only can offer easily the semiconductor device which has the memory space of 2Mbit, but a memory chip 5 and a semiconductor chip 1 are connected through the infixation substrate 9 which has inner layer wiring It is easily connectable even if it is the case where pitch spacing of an internal electrode pad differs mutually. Furthermore, since the internal circuitry of a memory chip 5 is connected with the memory circuit 2 of a semiconductor chip 1 through inner layer wiring of the infixation substrate 9, even if a semiconductor chip 1 and a memory chip 5 are supplied by mutually different manufacturer, a difference of mutual specification and property can be adjusted easily.

[0035] Next, the gestalt which equipped the mounting substrate with the semiconductor device of an above-mentioned operation gestalt is explained as a gestalt of other operations of the semiconductor device concerning this invention.

[0036] Drawing 1 is the sketch sectional view of the gestalt of operation of the 2nd of the semiconductor device concerning this invention. The description of the semiconductor device 30 concerning this operation gestalt is in the point of having mounted the semiconductor device 20 concerning the gestalt of the 1st operation in CSP (Chip Scale Package).

[0037] As shown in this drawing, the semiconductor device 20 which is the gestalt of operation of the 1st of this invention has fixed with adhesives 14 in the center of abbreviation of the top face of the mounting substrate 13. In the periphery of the mounting substrate 13, the substrate wiring 15 which is metal wiring is formed corresponding to the external electrode pad 3 of a semiconductor chip 1, and is connected with this external electrode pad 3 by the wire 16 at it. Thus, since the semiconductor device 30 concerning this operation gestalt carries the semiconductor device 20 concerning this invention on the mounting substrate 13, even if it is a manufacturer's product with which a semiconductor chip 1 differs from a memory chip 5 mutually, memory space can be extended easily, the flexibility of a design of a semiconductor integrated circuit improves greatly, and the semiconductor device which can cope with a user demand flexibly by low cost is offered.

[0038] Moreover, if a semiconductor chip 1 and a memory chip 5 are the same manufacturer's products, to one kind of semiconductor chip, by making the memory chip of two or more classes correspond, the lineup of a product can be enriched at very low design cost, as a result the price of a semi-conductor product at large can be reduced.

[0039] Next, it explains, referring to drawing 5 and drawing 6 about the gestalt of operation of the 3rd of the semiconductor device concerning this invention.

[0040] The semiconductor device 50 which is the sketch sectional view showing the 2nd example of the conventional technique for drawing 5 to explain this operation gestalt and which is shown in this 2nd example carries out TCP (Tape Carrier Package) mounting only of the semiconductor chip 1 shown in drawing 10.

[0041] As shown in this drawing, the device hole 22 is formed in the center of the flexible film 39 formed by resin, such as polyimide, and the semiconductor chip 1 is inserted into this device hole 22. The metal lead 18 was formed in the top face of the flexible film 39 corresponding to the external electrode pad 3 of a semiconductor chip 1, and the point has extended in the device hole 22 across the periphery 21 of the device hole 22.

[0042] While a bump 17 is formed in the inferior surface of tongue at the tip the metal lead 18 and the metal lead 18 is connected with the external electrode pad 3 of a semiconductor chip 1 through this bump 17, the semiconductor chip 1 is supported.

[0043] Closure resin 19 is poured in from the upper part, the whole point of the metal lead 18 projected in the top face of a semiconductor chip 1 and the device hole 22 is filled, a bump 17 is also covered in the device hole 22, the closure is carried out to it, and, thereby, the corrosion of a connection part is prevented in it. In addition, the resin seal of the internal electrode pad 4 which it had in the center of top-face abbreviation of a semiconductor chip 1 is carried out with the bump 7.

[0044] The semiconductor device 40 shown in drawing 6 is a semiconductor device mounted by TCP which shows the semiconductor device concerning this invention to drawing 5, and is the gestalt of operation of the 3rd of the semiconductor device concerning this invention.

[0045] In contrast with drawing 5, the memory chip 5 is carried in the top face of the semiconductor chip 1 shown in drawing 6 through the infixation substrate 9 so that clearly. Pitch spacing of pitch spacing of the internal electrode pad 4 of a semiconductor chip 1 and the internal electrode pad 6 of a memory chip 5 differs mutually, and the memory circuit of a memory chip 5 is connected to the memory circuit 2 of a semiconductor chip 1 through inner layer wiring which the infixation substrate 9 does not illustrate by connecting with the internal electrode pads 10 and 12 of the infixation substrate 9 through bumps 7 and 11, respectively.

[0046] Furthermore, closure resin 19 was poured in from the upper part of the device hole 22, and the infixation substrate 9 and each bumps 7, 17, and 11 were covered, it was full until it resulted [ from the top face of a semiconductor chip 1 ] in the side-face lower part of the part for a point and the memory

chip 5 of the metal lead 18 in the device hole 22, and each connection part of a semiconductor device 40 is protected from the corrosion by contact outside etc.

[0047] According to this operation gestalt, the semiconductor device which has the effectiveness mentioned above in the 2nd operation gestalt is applicable also in TCP.

[0048] Next, it explains, referring to drawing 2 about the gestalt of operation of the 4th of the semiconductor device concerning this invention.

[0049] Drawing 2 is the sketch sectional view showing the semiconductor device 90 concerning this operation gestalt.

[0050] This operation gestalt carries out substrate mounting of the semiconductor device concerning this invention by CSP using FC (Flip Chip) technique, and the description makes the inferior surface of tongue of a semiconductor chip 1 fix a memory chip 5 through the infixation substrate 9, and is in the point of having stored the memory chip 5 and the infixation substrate 9 in the opening 23 drilled by the mounting substrate 24 which supports a semiconductor chip 1 from an inferior surface of tongue. In addition, the electrode pad 25 is formed in the top face of the mounting substrate 24 corresponding to the external electrode pad 3 of a semiconductor chip 1, and it connects with the external electrode pad 3 through the bump 17.

[0051] By equipping a mounting substrate with such structure, in contrast with drawing 1, according to this operation gestalt, the occupancy tooth space of the whole semiconductor device is reducible so that clearly. Thereby, the high semiconductor device of the flexibility of a design can be offered with high packaging density.

[0052] In addition, in this operation gestalt, since closure resin 19 is poured in from between the inferior surface of tongue of a semiconductor chip 1, and the top faces of the mounting substrate 24, the mounting substrate 24 and a semiconductor chip 1 fix mutually with this closure resin. However, since there is a possibility that it may not be full until closure resin results in a memory chip 5, the memory chip 5 and the infixation substrate 9 have fixed by resin 8b beforehand.

[0053] Next, the gestalt which connected the memory chip 5 to the infixation substrate 9 with the wirebonding technique is explained as a gestalt of the 5th thru/or operation of the 7th of the semiconductor device concerning this invention.

[0054] Drawing 9 is the sketch sectional view showing the gestalt of operation of the 5th of the semiconductor device concerning this invention.

[0055] The semiconductor device 80 shown in drawing 9 in contrast with drawing 6 so that clearly carries a memory chip 5 on the infixation substrate 9 so that the field equipped with the internal electrode pad 6 may turn into a top face, and it connects the internal electrode pad 6 of a memory chip 5 to the internal electrode pad 12 of the infixation substrate 9 with a wire 35. The closure of the memory chip 5 is carried out with the resin 37 formed in the top face of the infixation substrate 9 with the wire 35.

[0056] Since the internal electrode pad 6 of a memory chip 5 is connected to the internal electrode pad 12 of the infixation substrate 9 by wirebonding, it becomes unnecessary thus, to make the array of the internal electrode pad 12 equivalent to the array of the internal electrode pad 6 of a memory chip 5 according to the semiconductor device 80 of this operation gestalt by it. Thereby, in addition to the effectiveness mentioned above in the 4th operation gestalt, the semiconductor device whose degree of freedom of a design improved more can be offered.

[0057] Drawing 7 is the sketch sectional view showing the gestalt of operation of the 6th of the semiconductor device concerning this invention.

[0058] As shown in this drawing, the semiconductor device 60 concerning this operation gestalt has the description in the point that the memory chip 5 is connected to the semiconductor chip 1 through the infixation substrate 9 connected with the memory chip 5 by wirebonding, and the point of having mounted these chips in BGA (Ball Grid Array).

[0059] That is, in the semiconductor device 60 shown in drawing 7 in contrast with the semiconductor device 30 shown in drawing 1 so that clearly, a memory chip 5 is carried on the infixation substrate 9 so



that the field equipped with the internal electrode pad 6 may turn into a top face, and the internal electrode pad 6 and the internal electrode pad 12 of the infixation substrate 9 are connected by the wire 35. The closure of the memory chip 5 is carried out with resin 37 with the wire 35.

[0060] Resin 38 is poured in further, to the top face of the mounting substrate 33, the closure of the memory chip 5 and wire 35 by which the closure was carried out with the whole top face 15 of a semiconductor device 60, i.e., substrate wiring, a semiconductor chip 1, a wire 16, the infixation substrate 9, and resin 37 is carried out further, and they are protected from physical chemical contact outside. Moreover, two or more solder balls 31 connected to the substrate wiring 15 are formed in the inferior surface of tongue of the mounting substrate 33 with internal wiring which is not illustrated, and, thereby, a semiconductor device 60 can be directly soldered to an external printed circuit board (not shown).

[0061] Thus, since the semiconductor device 60 concerning this operation gestalt connects the internal electrode pad of a memory chip 5 with the internal electrode pad 12 of the infixation substrate 9 by wirebonding, in addition to the effectiveness mentioned above in the 2nd operation gestalt, it can offer the semiconductor device whose flexibility of a design improved more.

[0062] Next, it explains, referring to drawing 8 about the gestalt of operation of the 7th of the semiconductor device concerning this invention.

[0063] In contrast with drawing 2, the semiconductor device 70 shown in drawing 8 so that clearly Make the inferior surface of tongue of the infixation substrate 9 fix a memory chip 5 through resin 8b, and the internal electrode pad 6 is connected to the internal electrode pad 12 of the infixation substrate 9 with a wire 35. After closing by resin 37, the inferior surface of tongue of a semiconductor chip 1 is made to fix the infixation substrate 9, and the infixation substrate 9 is stored with the memory chip 5 in the opening 23 drilled by the mounting substrate 43 which supports a semiconductor chip 1 from an inferior surface of tongue. The electrode pad 25 is formed in the top face of the mounting substrate 43 corresponding to the external electrode pad 3 of a semiconductor chip 1, and it connects with the external electrode pad 3 through the bump 17. Moreover, two or more solder balls 31 connected to the electrode pad 25 are formed in the inferior surface of tongue of the mounting substrate 43 with internal wiring which is not illustrated, and, thereby, a semiconductor device 70 can be directly soldered to an external printed circuit board (not shown).

[0064] According to this operation gestalt, like the semiconductor device 90 shown in drawing 2 by equipping a mounting substrate with such structure, when the occupancy tooth space of the whole semiconductor device is reducible, since the internal electrode pad 6 of a memory chip 5 is connected with the electrode pad 12 of the infixation substrate 9 by wirebonding, the semiconductor device whose flexibility of a design improved more can be offered with high packaging density.

[0065] As mentioned above, although the gestalt of operation of this invention was explained, this invention is not restricted to the gestalt of the above-mentioned implementation, in the range which does not deviate from the summary, can deform variously and can be applied. Although the above-mentioned operation gestalt explained the case where a memory chip was carried in a semiconductor chip, also when it carries the logic chip for the functional addition to the semiconductor device incorporating a logical circuit, of course, it can apply. Moreover, also when it carries the logic chip for a memory chip or functional addition in the semiconductor device incorporating a logical circuit and a memory circuit, it can apply. Furthermore, it is also possible to carry two or more memory chips or logic chips on a semiconductor chip.

[0066] Moreover, the ingredient of each part can be changed according to a specification. For example, with the above-mentioned operation gestalt, although the bump formed with solder, what combined the bump who consists of not only this but gold or copper or the metal bump, and the conductive paste is satisfactory for her.

[0067]

[Effect of the Invention] This invention does the following effectiveness so as explained in full detail above.

[0068] That is, according to this invention, since the 2nd semiconductor chip for expansion is carried in the 1st semiconductor chip, the high semiconductor device of the flexibility of a design can be offered.  
[0069] Moreover, since the 2nd semiconductor chip is connected to the 1st semiconductor chip through an inflexion substrate, even if pitch spacing of an internal electrode etc. is the semiconductor device with which a property differs from a mutual specification, it is connectable. Since the lineup of a semiconductor product can be enriched by this if it is the same manufacturer's product while it becomes possible to connect easily and the flexibility of a design improves further even if it is a different manufacturer's product, the design cost of the whole product, as a result a manufacturing cost can be reduced, it is cheap and the semiconductor device which can cope with a request of a user finely can be offered.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the sketch sectional view showing the gestalt of operation of the 2nd of the semiconductor device concerning this invention.

[Drawing 2] It is the sketch sectional view showing the gestalt of operation of the 3rd of the semiconductor device concerning this invention.

[Drawing 3] It is the sketch sectional view showing the gestalt of operation of the 1st of the semiconductor device concerning this invention.

[Drawing 4] It is the sketch top view of the semiconductor device shown in drawing 3 .

[Drawing 5] It is the 2nd example of the semiconductor device by the Prior art.

[Drawing 6] It is the sketch sectional view showing the gestalt of operation of the 4th of the semiconductor device concerning this invention.

[Drawing 7] It is the sketch sectional view showing the gestalt of operation of the 6th of the semiconductor device concerning this invention.

[Drawing 8] It is the sketch sectional view showing the gestalt of operation of the 7th of the semiconductor device concerning this invention.

[Drawing 9] It is the sketch sectional view showing the gestalt of operation of the 5th of the semiconductor device concerning this invention.

[Drawing 10] It is the 1st example of the semiconductor device by the Prior art.

[Drawing 11] It is the sketch top view of the semiconductor device shown in drawing 10 .

[Description of Notations]

- 1 Semiconductor Chip
- 3 External Electrode Pad
- 4 Internal Electrode Pad of Semiconductor Chip
- 5 Memory Chip
- 6 Internal Electrode Pad of Memory Chip

7, 11, 17 Bump  
8a, 8b Resin  
9 Infixation Substrate  
10 12 Internal electrode pad of an infixation substrate  
13, 24, 33, 43 Mounting substrate  
15 Substrate Wiring  
16 35 Wire  
18 Metal Lead  
19, 37, 38 Closure resin  
20, 30, 40, 60, 70, 80, 90 Semiconductor device concerning this invention  
22 Device Hole  
23 Opening  
25 Electrode Pad of Mounting Substrate  
31 Solder Ball  
39 Tape Carrier Package Tape  
50,100 Semiconductor device by the Prior art

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-204719

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 25/065

25/07

25/18

識別記号

F I

H 0 1 L 25/08

Z

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平10-2484

(22) 出願日 平成10年(1998) 1月8日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 細 美 英 一

神奈川県横浜市磯子区新磯子町33 株式会  
社東芝生産技術研究所内

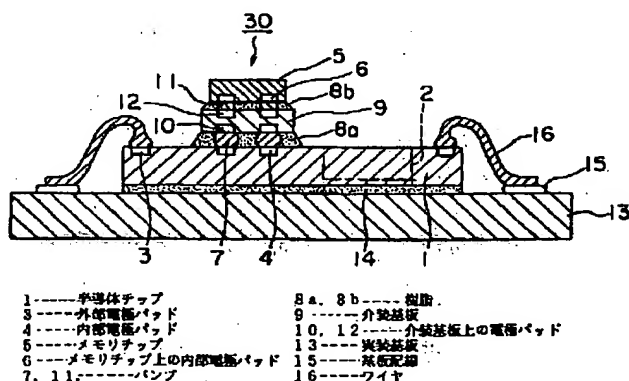
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 メモリ容量の増加またはロジック機能の追加が容易にでき、設計の柔軟性の高い半導体装置を提供する。

【解決手段】 実装基板13の上面に固着させた第1の半導体チップ1の上に、この半導体チップ1の機能を拡張するための回路を組込んだ第2の半導体チップ2を、内層配線を有する介装基板9を介して搭載して樹脂8a、8bで相互に固着させ、バンプ11を介して第2の半導体チップ5の内部電極パッド6と介装基板9の内部電極パッド12とを接続し、バンプ7を介して介装基板9の内部電極パッド10と第1の半導体チップ1の内部電極パッド4とを接続し、さらに、ワイヤ16を介して第1の半導体チップ1の外部電極パッド3と実装基板13の基板配線15とを接続する。



1-----半導体チップ  
3-----外部電極パッド  
4-----内部電極パッド  
5-----メモリチップ  
6-----メモリチップ上の内部電極パッド  
7, 11-----バンプ  
8a, 8b-----樹脂  
9-----介装基板  
10, 12-----介装基板上の電極パッド  
13-----実装基板  
15-----基板配線  
16-----ワイヤ

(2)

## 【特許請求の範囲】

【請求項1】第1の半導体チップと、

前記第1の半導体チップよりも占有面積が小さい第2の半導体チップと、

前記第1の半導体チップの特性を前記第2の半導体チップの特性に整合させるための内層配線を有し、前記第1の半導体チップと前記第2の半導体チップの間に介装される介装基板とを備え、

前記第1の半導体チップは、外部の回路に接続するための複数の外部電極パッドと前記介装基板の前記内層配線に接続するための複数の第1の内部電極パッドとを備え、

前記第2の半導体チップは、前記介装基板の前記内層配線に接続するための複数の第2の内部電極パッドを備え、

前記介装基板は、前記第1の内部電極パッドに対応して下面に形成された第3の内部電極パッドと前記第1の内部電極パッドとが接続され、前記第2の内部電極パッドに対応して上面に形成された第4の内部電極パッドと前記第2の内部電極パッドとが接続された半導体装置。

【請求項2】前記第1の半導体チップを上面で支持するとともに、上面に金属配線を備えた実装基板をさらに備え、

前記外部電極パッドは、前記第1の半導体チップの上面の周辺部に設けられ、

前記第1の内部電極パッドは、前記周辺部を除く前記第1の半導体チップの上面に設けられ、

前記金属配線は、ワイヤを介して前記外部電極パッドと接続されたことを特徴とする請求項1に記載の半導体装置。

【請求項3】略中央に開口が形成され、先端が該開口内に延在する金属配線を上面に備えた可撓性フィルムをさらに備え、

前記外部電極パッドは、前記第1の半導体チップの上面の周辺部に設けられ、

前記第1の内部電極パッドは、前記周辺部を除く前記第1の半導体チップの上面に設けられ、

前記第1の半導体チップは、前記介装基板と前記第2の半導体チップとともに前記開口内に挿入され、

前記外部電極パッドは、前記金属配線と接続され、

前記開口内に封入された樹脂により前記第1の半導体チップと前記介装基板と前記第2の半導体チップが封止されたことを特徴とする請求項1に記載の半導体装置。

【請求項4】前記外部電極パッドは、前記第1の半導体チップの下面の周辺部に設けられ、

前記第1の内部電極パッドは、前記周辺部を除く前記第1の半導体チップの下面に設けられ、

前記介装基板は、前記第1の内部電極パッドに対応して上面に形成された第3の内部電極パッドと前記第1の内部電極パッドとが接続され、前記第2の内部電極パッド

に対応して下面に形成された第4の内部電極パッドと前記第2の内部電極パッドとが接続され、

前記第1の半導体チップを上面で支持するとともに、前記介装基板と前記第2の半導体チップを格納するための開口が穿設された実装基板をさらに備え、

前記実装基板は、前記外部電極パッドに対応して設けられた基板電極を上面に備え、前記基板電極と前記外部電極パッドとが接続され、

前記実装基板と前記第1の半導体チップとの間から封入された樹脂により、封止されていることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、特に、半導体集積回路の設計変更を伴うことなく、メモリ容量または付加的な機能の追加・拡張を実現することができる半導体装置に関するものである。

【0002】

【従来の技術】半導体装置の集積度のますますの向上により、単一の半導体チップ内に複数の機能を搭載することが可能になってきている。これにより、プログラムやデータ保存用のメモリ回路と制御・演算用のロジック回路とが単一のチップ上に搭載されるようになってきている。例えば、マイクロコントローラやユーザ仕様に応じた回路設計を行うASIC (Application Specific Integrated Circuit) においては、プログラム格納用のROMやデータ保存用のRAMと制御・演算を行うロジック部とが単一の半導体チップ上に形成されている。

【0003】また、半導体製造技術の進歩により、同一の面積上に多数のトランジスタを形成することができるようになったため、メモリおよびロジック回路のゲート数は増加の一途をたどっている。

【0004】しかし、このように半導体装置の集積度が日進月歩で進歩しているとしても、所定の時点では、所定の大きさの半導体チップに搭載できる機能は、一定している。

【0005】例えば、メモリについては、容量が大きくなるほど、これを搭載する半導体チップの面積は大きくなり、例えばユーザ仕様の変更により、設計が完了した後で、必要なメモリ容量が2倍になった場合には、これに見合う回路を最初から設計し直さなければならない。また、ユーザニーズの多様さからロジック部の機能は同一でも異なる容量のメモリを有する半導体チップを用意したい場合がある。これに対処するには、メモリ容量が異なる複数のチップを製造する必要が生じ、メーカー側においては、品種管理のコストが上昇することになる。

【0006】また、ロジック素子については、特定の機能を付加するか否かにより、半導体装置の製造コストが大きく異なり、高級品と廉価品に分岐する場合がある。この場合においても、特定の機能を後から付加したい場

(3)

3

合には、廉価品に別チップを追加して2チップ構成とする方法と、チップの設計を再度行い1チップの高級品を提供する方法とがある。前者の方法によれば、基板実装に必要な面積が大きくなり、後者の方法によれば、製造コストが大幅に増大するという問題点があった。

【0007】このような問題を解決するため、追加のメモリや特定の機能を組込んだ半導体チップを既にある半導体チップの上に搭載するチップオンチップの方法が考案されている。

【0008】従来の技術によるチップオンチップの半導体装置について図面を参照しながら説明する。

【0009】図10は、このような従来の技術の第1の例である半導体装置100を示す略断面図である。

【0010】同図において、半導体チップ1は、既に設計が完了した半導体集積回路を実現した半導体チップであり、点線で示す部分の内部には、1Mbitの容量のメモリ回路2が組込まれている。半導体チップ1の上面の周辺部には、外部の基板等に接続され、信号の入出力を行う外部電極パッド3が設けられている。半導体チップ1の上面の略中央には、内部電極4が対となって形成されており、図示しない半導体チップ1の内部配線によりメモリ回路2と接続されている。

【0011】半導体チップ1の上には、1Mbitの容量を有するメモリチップ5が搭載されており、樹脂8により、半導体チップの上面に固着されている。

【0012】メモリチップ5の下面には、内部電極パッド6が半導体チップ1の内部電極4に対応して形成され、バンプ7を介して接続されている。

【0013】図10に示す半導体装置100の平面図を図11に示す。

【0014】同図に示すように、方形の平面形状を有する半導体チップ1の周辺部に多数の外部電極パッド3が所定の間隔で形成されている。半導体チップ1の中央の紙面やや右上の点線で示した部分下のチップ内部には、1Mbitの容量のメモリ回路2が組込まれている。このメモリ回路を組込んだ領域に近接してその領域の左側には、長方形の平面形状を有するメモリチップ5が搭載され、樹脂8により半導体チップ1の上面に固着されている。

【0015】図10および図11に示す半導体装置100によれば、半導体チップ1上にメモリチップ5が搭載され、このメモリチップ5内のメモリ回路が半導体チップ1内のメモリ回路2に接続されるので、半導体装置の実装面積を増大させることなく、1Mbitの容量のメモリを増設することができるというメリットがあった。

【0016】

【発明が解決しようとする課題】しかしながら、上述の従来の技術においては、メモリチップ5の内部電極パッド6のピッチを半導体チップ1の内部電極パッド4のピッチに一致させなければならないため、この点が設計上

4

の制約となっていた。特に、異なるメーカーの半導体チップに搭載するためには、電極パッドのピッチのみならず、異なる様々な特性に合致させる必要があり、設計上の困難を伴うため、メモリチップのコストが却って上昇するなど、設計の柔軟性に欠けるという問題点があった。

【0017】本発明は、上記事情に鑑みてなされたものであり、その目的は、メモリ回路とロジック回路とが混載されている半導体装置において、メモリ容量の増加またはロジック機能の追加が容易にでき、設計の柔軟性の高い半導体装置を提供することにある。

【0018】

【課題を解決するための手段】本発明は以下の手段により上記課題の解決を図る。

【0019】即ち、本発明（請求項1）によれば、第1の半導体チップと、上記第1の半導体チップよりも占有面積が小さい第2の半導体チップと、上記第1の半導体チップの特性を上記第2の半導体チップの特性に整合させるための内層配線を有し、上記第1の半導体チップと上記第2の半導体チップの間に介装される介装基板とを備え、上記第1の半導体チップは、外部の回路に接続するための複数の外部電極パッドと上記介装基板の上記内層配線に接続するための複数の第1の内部電極パッドとを備え、上記第2の半導体チップは、上記介装基板の上記内層配線に接続するための複数の第2の内部電極パッドを備え、上記介装基板は、上記第1の内部電極パッドに対応して下面に形成された第3の内部電極パッドと上記第1の内部電極パッドとが接続され、上記第2の内部電極パッドに対応して上面に形成された第4の内部電極パッドと上記第2の内部電極パッドとが接続された半導体装置が提供される。

【0020】上記半導体装置は、上記第1の半導体チップを上面で支持するとともに、上面に金属配線を備えた実装基板をさらに備え、上記外部電極パッドは、上記第1の半導体チップの上面の周辺部に設けられ、上記第1の内部電極パッドは、上記周辺部を除く上記第1の半導体チップの上面に設けられ、上記金属配線は、ワイヤを介して上記外部電極パッドと接続されているとよい。

【0021】また、上記半導体装置は、略中央に開口が形成され、先端が該開口内に延在する金属配線を上面に備えた可撓性フィルムをさらに備え、上記外部電極パッドは、上記第1の半導体チップの上面の周辺部に設けられ、上記第1の内部電極パッドは、上記周辺部を除く上記第1の半導体チップの上面に設けられ、上記第1の半導体チップは、上記介装基板と上記第2の半導体チップとともに上記開口内に挿入され、上記外部電極パッドは、上記金属配線と接続され、上記開口内に封入された樹脂により上記第1の半導体チップと上記介装基板と上記第2の半導体チップが封止されたものでもよい。

【0022】また、上記外部電極パッドは、上記第1の

(4)

5  
半導体チップの下面の周辺部に設けられ、上記第1の内部電極パッドは、上記周辺部を除く上記第1の半導体チップの下面に設けられ、上記介装基板は、上記第1の内部電極パッドに対応して上面に形成された第3の内部電極パッドと上記第1の内部電極パッドとが接続され、上記第2の内部電極パッドに対応して下面に形成された第4の内部電極パッドと上記第2の内部電極パッドとが接続され、上記第1の半導体チップを上面で支持するとともに、上記介装基板と上記第2の半導体チップを格納するための開口が穿設された実装基板をさらに備え、上記実装基板は、上記外部電極パッドに対応して設けられた基板電極を上面に備え、該基板電極と上記外部電極パッドとが接続され、上記実装基板と上記第1の半導体チップとの間から封入された樹脂により封止されたものでもよい。

#### 【0023】

【発明の実施の形態】本発明の特徴点は、メインの半導体チップと、このメインチップの機能を付加・拡張するためのサブチップとを相互の特性を整合させるための内層配線を備えた介装基板を介して接続させる点にある。

【0024】以下、本発明の実施の形態のいくつかについて図面を参照しながら説明する。なお、以下の各図において、同一の部分には同一の参照番号を付してその説明は省略する。

【0025】図3は、本発明にかかる半導体装置の第1の実施の形態を示す略断面図である。

【0026】同図に示すように、本実施形態にかかる半導体装置20は、メモリ回路2を組込んだ第1の半導体チップである半導体チップ1と、この半導体チップ1のメモリを拡張するための第2の半導体チップであるメモリチップ5と、本発明において特徴的な介装基板9とを備えている。

【0027】半導体チップ1には、メモリ回路2が組込まれており、そのメモリ容量は、本実施形態において1 Mbitである。半導体チップ1の上面中央の紙面やや左側の表面部には、複数の内部電極パッド4が備えられており、図示しない内部配線を介して、上記メモリ回路2に接続されている。

【0028】半導体チップ1の表面の周辺部には、外部の実装基板等に接続するための外部電極パッド3が備えられており、この外部電極パッド3を介して外部の回路と信号の送受が行われる。

【0029】内部電極パッド4の上には、これに対応してはんだバンプ7が形成されている。

【0030】半導体チップ1の上には、上記の内部電極パッド4およびバンプ7に対応して形成された内部電極パッド10を下面に備えた介装基板9が搭載されている。介装基板9と半導体チップ1との間には、樹脂8aが封入されている。樹脂8aは、介装基板9と半導体チップ1との熱膨張係数の差により生ずる応力を緩和する

6  
役割があり、バンプ7の疲労破壊を防止する。しかし、介装基板が薄い場合、例えば0.1 mm以下の場合、生じる応力が小さくなるために樹脂8aを介装基板9と半導体チップ1との間に封入しなくても良い。介装基板の材質には、特に制限はないが、本実施形態では、ポリイミドを用いている。

【0031】介装基板9の内部電極パッド10は、図示しない内層配線に接続されている。また、この内層配線は、介装基板9の上面に備えられた内部電極パッド12にも接続されている。この内部電極パッド12は、次記するメモリチップ5の内部電極パッド6に対応して形成されている。

【0032】介装基板9の上には、メモリチップ5が搭載され、樹脂8bにより介装基板9の上面に固着されている。

【0033】メモリチップ5の下面には、複数の内部電極6が形成されており、上記半導体チップ1の内部電極4と異なるピッチ間隔で形成されている。

【0034】このように、本実施形態によれば、1 Mbitのメモリ容量を有する半導体チップ1の上に1 Mbitのメモリ容量を有するメモリチップ5を搭載し、相互の内部電極を接続することにより、メモリチップ5のメモリ回路を半導体チップ1のメモリ回路2に接続することができるため、2 Mbitのメモリ容量を有する半導体装置を簡単に提供することができるのみならず、内層配線を有する介装基板9を介してメモリチップ5と半導体チップ1が接続されるので、内部電極パッドのピッチ間隔が相互に異なる場合であっても、容易に接続することができる。さらに、メモリチップ5の内部回路が介装基板9の内層配線を介して半導体チップ1のメモリ回路2と接続されるので、半導体チップ1とメモリチップ5が互いに異なるメーカーにより供給されるものであっても、相互の仕様・特性の相違を容易に整合させることができる。

【0035】次に、上述の実施形態の半導体装置を実装基板に装着した形態を本発明にかかる半導体装置の他の実施の形態として説明する。

【0036】図1は、本発明にかかる半導体装置の第2の実施の形態の略断面図である。本実施形態にかかる半導体装置30の特徴は、第1の実施の形態にかかる半導体装置20をCSP (Chip Scale Package) に実装した点にある。

【0037】同図に示すように、実装基板13の上面の略中央に接着剤14により、本発明の第1の実施の形態である半導体装置20が固着されている。実装基板13の周辺部には、金属配線である基板配線15が半導体チップ1の外部電極パッド3に対応して設けられ、ワイヤ16によりこの外部電極パッド3と接続されている。このように、本実施形態にかかる半導体装置30は、本発明にかかる半導体装置20を実装基板13上に搭載して

(5)

7

いるので、半導体チップ1とメモリチップ5とが相互に異なるメーカの製品であっても、メモリ容量を容易に拡張することができ、半導体集積回路の設計の柔軟性が大きく向上し、低コストでユーザ要求に柔軟に対処することができる半導体装置が提供される。

【0038】また、半導体チップ1とメモリチップ5が同一メーカの製品であれば、1種類の半導体チップに対して、複数の種類のメモリチップを対応させることにより、極めて低い設計コストで製品のラインアップを充実させることができ、ひいては半導体製品全般の価格を低減することができる。

【0039】次に、本発明にかかる半導体装置の第3の実施の形態について図5および図6を参照しながら説明する。

【0040】図5は、本実施形態を説明するための従来技術の第2の例を示す略示断面図である、この第2の例に示す半導体装置50は、図10に示す半導体チップ1のみをTCP (Tape Carrier Package) 実装したものである。

【0041】同図に示すように、ポリイミド等の樹脂で形成された可撓性フィルム39の中央にデバイスホール22が設けられ、このデバイスホール22内に半導体チップ1が挿入されている。可撓性フィルム39の上面には、半導体チップ1の外部電極パッド3に対応して金属リード18が形成され、その先端部は、デバイスホール22の周縁21を越えてデバイスホール22内に延在している。

【0042】金属リード18の先端の下面には、バンプ17が設けられ、このバンプ17を介して金属リード18が半導体チップ1の外部電極パッド3と接続されるとともに、半導体チップ1を支持している。

【0043】デバイスホール22には、上方から封止樹脂19が注入され、半導体チップ1の上面およびデバイスホール22内に突出した金属リード18の先端部の全体に充満し、バンプ17をも覆って封止され、これにより接続部分の腐食が防止されている。なお、半導体チップ1の上面略中央に備えられた内部電極パッド4は、バンプ7とともに樹脂封止されている。

【0044】図6に示す半導体装置40は、本発明にかかる半導体装置を図5に示すTCPで実装した半導体装置であり、本発明にかかる半導体装置の第3の実施の形態である。

【0045】図5との対比において明らかなように、図6に示す半導体チップ1の上面に介装基板9を介してメモリチップ5が搭載されている。半導体チップ1の内部電極パッド4のピッチ間隔とメモリチップ5の内部電極パッド6とのピッチ間隔は、相互に異なり、それぞれバンプ7、11を介して介装基板9の内部電極パッド10、12と接続されることにより、メモリチップ5のメモリ回路は、介装基板9の図示しない内層配線を介

8

して半導体チップ1のメモリ回路2に接続されている。

【0046】さらに、デバイスホール22の上方から封止樹脂19が注入され、介装基板9、各バンプ7、17、11を覆って、半導体チップ1の上面からデバイスホール22内の金属リード18の先端部分およびメモリチップ5の側面下部に至るまで充満し、半導体装置40の各接続部分を外部との接触による腐食等から保護している。

【0047】本実施形態によれば、第2の実施形態において前述した効果を有する半導体装置をTCPにおいても適用することができる。

【0048】次に、本発明にかかる半導体装置の第4の実施の形態について図2を参照しながら説明する。

【0049】図2は、本実施形態にかかる半導体装置90を示す略示断面図である。

【0050】本実施形態は、本発明にかかる半導体装置をFC (Flip Chip) 技術を用いてCSPで基板実装したものであり、その特徴は、半導体チップ1の下面に介装基板9を介してメモリチップ5を固着させ、半導体チップ1を下面から支持する実装基板24に穿設された開口23の中にメモリチップ5および介装基板9を格納した点にある。なお、実装基板24の上面には、半導体チップ1の外部電極パッド3に対応して電極パッド25が形成され、バンプ17を介して外部電極パッド3と接続されている。

【0051】本実施形態によれば、このような構造で実装基板に装着することにより、図1との対比において明らかなように、半導体装置全体の占有スペースを縮小することができる。これにより、設計の柔軟性の高い半導体装置を高い実装密度で提供することができる。

【0052】なお、本実施形態においては、封止樹脂19が半導体チップ1の下面と実装基板24の上面との間から注入されるため、実装基板24と半導体チップ1とは、この封止樹脂により相互に固着される。ただし、封止樹脂がメモリチップ5に至るまで充満しないおそれがあるため、メモリチップ5と介装基板9とは予め樹脂8bで固着されている。

【0053】次に、メモリチップ5をワイヤボンディング技術で介装基板9に接続した形態を本発明に係る半導体装置の第5ないし第7の実施の形態として説明する。

【0054】図9は、本発明に係る半導体装置の第5の実施の形態を示す略示断面図である。

【0055】図6との対比において明らかなように、図9に示す半導体装置80は、内部電極パッド6を備えた面が上面となるようにメモリチップ5を介装基板9の上に搭載し、メモリチップ5の内部電極パッド6をワイヤ35により介装基板9の内部電極パッド12に接続したものである。メモリチップ5は、ワイヤ35とともに、介装基板9の上面に形成された樹脂37により、封止されている。



(6)

9

【0056】このように、本実施形態の半導体装置80によれば、ワイヤボンディングにより、メモリチップ5の内部電極パッド6が介装基板9の内部電極パッド12に接続されるので、内部電極パッド12の配列をメモリチップ5の内部電極パッド6の配列に対応させる必要がなくなる。これにより、第4の実施形態において前述した効果に加え、より設計の自由度が向上した半導体装置を提供することができる。

【0057】図7は、本発明にかかる半導体装置の第6の実施の形態を示す略断面図である。

【0058】同図に示すように、本実施形態にかかる半導体装置60は、ワイヤボンディングによりメモリチップ5と接続された介装基板9を介してメモリチップ5が半導体チップ1に接続されている点と、これらのチップをBGA (Ball Grid Array) に実装した点に特徴がある。

【0059】即ち、図1に示す半導体装置30との対比において明らかなように、図7に示す半導体装置60においては、メモリチップ5は、内部電極パッド6を備えた面が上面となるように介装基板9の上に搭載され、ワイヤ35により内部電極パッド6と介装基板9の内部電極パッド12とが接続されている。メモリチップ5は、ワイヤ35とともに、樹脂37により封止されている。

【0060】実装基板33の上面には、樹脂38がさらに注入され、半導体装置60の上面全体、即ち、基板配線15、半導体チップ1、ワイヤ16、介装基板9、樹脂37により封止されたメモリチップ5およびワイヤ35がさらに封止され、外部との物理的・化学的接触から保護されている。また、実装基板33の下面には、図示しない内部配線により、基板配線15に接続された複数のはんだボール31が形成され、これにより、半導体装置60を外部のプリント基板（図示せず）に直接はんだ付けすることができる。

【0061】このように、本実施形態に係る半導体装置60は、メモリチップ5の内部電極パッドをワイヤボンディングにより介装基板9の内部電極パッド12と接続するので、第2の実施形態において前述した効果に加え、設計の柔軟性がより向上した半導体装置を提供することができる。

【0062】次に、本発明にかかる半導体装置の第7の実施の形態について図8を参照しながら説明する。

【0063】図2との対比において明らかなように、図8に示す半導体装置70は、介装基板9の下面にメモリチップ5を樹脂8bを介して固着させ、内部電極パッド6をワイヤ35により介装基板9の内部電極パッド12に接続し、樹脂37で封止した後、介装基板9を半導体チップ1の下面に固着させ、半導体チップ1を下面から支持する実装基板43に穿設された開口23の中にメモリチップ5とともに介装基板9を格納している。実装基板43の上面には、半導体チップ1の外部電極パッド3

10

に対応して電極パッド25が形成され、バンプ17を介して外部電極パッド3と接続されている。また、実装基板43の下面には、図示しない内部配線により、電極パッド25に接続された複数のはんだボール31が形成され、これにより、半導体装置70を外部のプリント基板（図示せず）に直接はんだ付けすることができる。

【0064】本実施形態によれば、このような構造で実装基板に装着することにより、図2に示す半導体装置90と同様に、半導体装置全体の占有スペースを縮小することができる上、メモリチップ5の内部電極パッド6をワイヤボンディングにより介装基板9の電極パッド12と接続するので、設計の柔軟性がより向上した半導体装置を高い実装密度で提供することができる。

【0065】以上、本発明の実施の形態について説明したが、本発明は、上記実施の形態に限るものではなく、その要旨を逸脱しない範囲で種々変形して適用することができる。上記の実施形態では、メモリチップを半導体チップに搭載する場合について説明したが、ロジック回路を組込んだ半導体装置に機能付加のためのロジックチップを搭載する場合にも適用できるのは勿論である。また、ロジック回路およびメモリ回路を組込んだ半導体装置にメモリチップまたは機能付加のためのロジックチップを搭載する場合にも適用できる。さらに、半導体チップ上に複数のメモリチップまたはロジックチップを搭載することも可能である。

【0066】また、各部の材料は、仕様に応じて変更することが可能である。例えば、上記実施形態では、バンプは、はんだで形成したが、これに限らず、金や銅からなるバンプ、または、金属バンプと導電性ペーストを組合わせたものでも良い。

【0067】

【発明の効果】以上詳述したとおり、本発明は以下の効果を奏する。

【0068】即ち、本発明によれば、第1の半導体チップに機能拡張のための第2の半導体チップを搭載するので、設計の柔軟性の高い半導体装置を提供することができる。

【0069】また、介装基板を介して第2の半導体チップを第1の半導体チップに接続するので、内部電極のピッチ間隔等、相互の特性・仕様の異なる半導体装置であっても接続することができる。これにより、異なるメーカーの製品であっても、容易に接続することが可能になり、設計の柔軟性がさらに向上するとともに、同一メーカーの製品であれば、半導体製品のラインアップを充実させることができるので、製品全体の設計コスト、ひいては製造コストを低減することができ、ユーザの要望にきめ細かく対処できる半導体装置を安価で提供することができる。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置の第2の実施の形態

(7)

11

を示す略示断面図である。

【図2】本発明にかかる半導体装置の第3の実施の形態を示す略示断面図である。

【図3】本発明にかかる半導体装置の第1の実施の形態を示す略示断面図である。

【図4】図3に示す半導体装置の略示平面図である。

【図5】従来の技術による半導体装置の第2の例である。

【図6】本発明にかかる半導体装置の第4の実施の形態を示す略示断面図である。

【図7】本発明にかかる半導体装置の第6の実施の形態を示す略示断面図である。

【図8】本発明にかかる半導体装置の第7の実施の形態を示す略示断面図である。

【図9】本発明にかかる半導体装置の第5の実施の形態を示す略示断面図である。

【図10】従来の技術による半導体装置の第1の例である。

【図11】図10に示す半導体装置の略示平面図である。

【符号の説明】

1 半導体チップ

3 外部電極パッド

4 半導体チップの内部電極パッド

5 メモリチップ

6 メモリチップの内部電極パッド

7, 11, 17 バンプ

8a, 8b 樹脂

9 介装基板

10, 12 介装基板の内部電極パッド

13, 24, 33, 43 実装基板

15 基板配線

16, 35 ワイヤ

18 金属リード

19, 37, 38 封止樹脂

20, 30, 40, 60, 70, 80, 90 本発明にかかる半導体装置

22 デバイスホール

23 開口

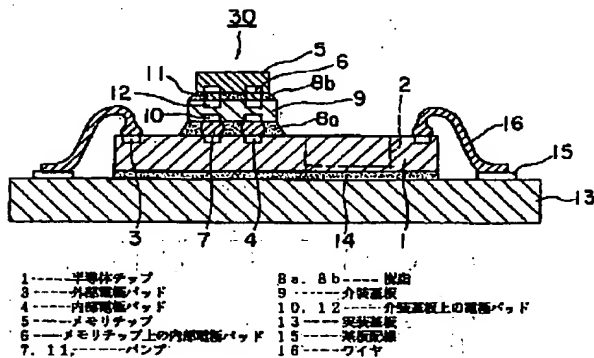
25 実装基板の電極パッド

31 はんだボール

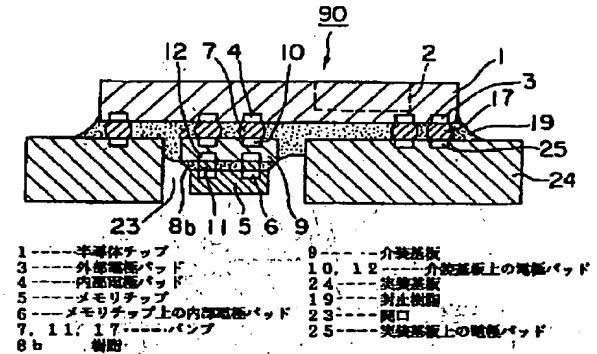
39 フィルムキャリアテープ

50, 100 従来の技術による半導体装置

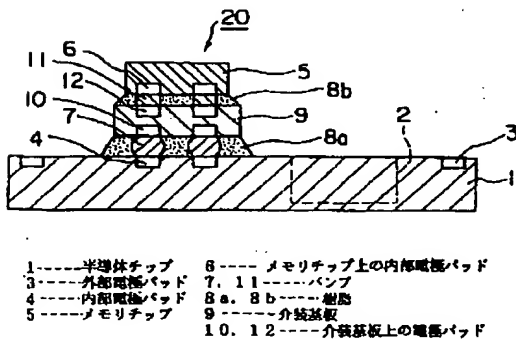
【図1】



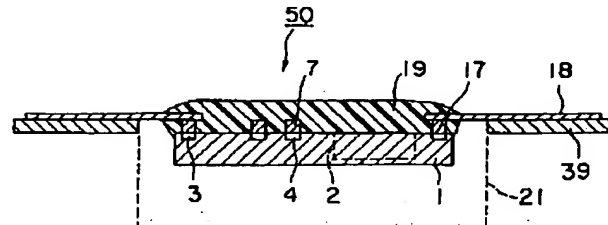
【図2】



【図3】

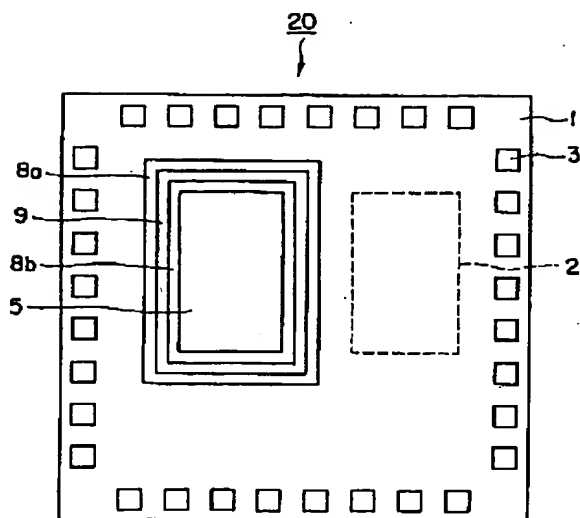


【図5】



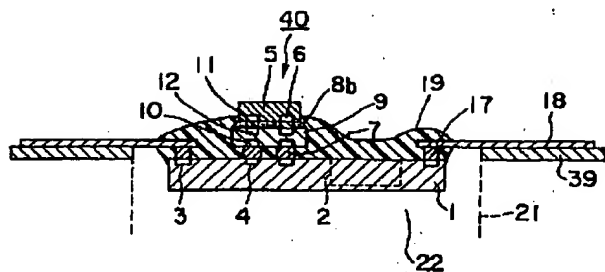
(8)

【図4】



- 1-----半導体チップ  
2-----外部電極パッド  
3-----内部電極パッド  
4-----メモリチップ  
5-----メモリチップ上の内部電極パッド  
8a, 8b-----樹脂  
9-----介装基板  
10-----介装基板上の電極パッド

【図6】



(9)

【図9】

